

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 13 日
Application Date

申請案號：092105453
Application No.

申請人：茂德科技股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 5 月 8 日
Issue Date

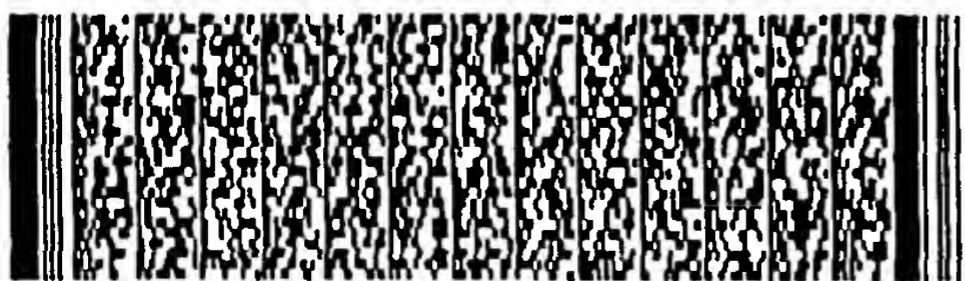
發文字號：09220438220
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|-----------------------|-------------------------------------|
| 一、 發明名稱 | 中 文 | 形成不同厚度氮化層之方法 |
| | 英 文 | |
| 二、 發明人 (共1人) | 姓 名 (中 文) | 1. 巫勇賢 |
| | 姓 名 (英 文) | 1. Yung Hsien |
| | 國 籍 (中 英 文) | 1. 中華民國 TW |
| | 住居所 (中 文) | 1. 台北市信義區虎林街30巷2弄6號6樓 |
| | 住居所 (英 文) | 1. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中 文) | 1. 茂德科技股份有限公司 |
| | 名稱或 姓 名 (英 文) | 1. |
| | 國 籍 (中 英 文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中 文) | 1. 新竹科學工業園區力行路十九號三樓 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. |
| | 代表人 (中 文) | 1. 胡洪九 |
| | 代表人 (英 文) | 1. |



四、中文發明摘要 (發明名稱：形成不同厚度氮化層之方法)

一種形成不同厚度氮化層之方法，其步驟包括：提供一半導體基底；對該半導體基底進行預先氮化處理而形成一氮化薄膜於該半導體基底上；形成一遮蔽層覆蓋部分之該氮化薄膜；移除未被該遮蔽層覆蓋之氮化薄膜以露出部分之該半導體基底；移除該遮蔽層；全面進行氮化沈積而形成第一氮化層於該氮化薄膜上以及一第二氮化層於該半導體基底上，其中該第一氮化層的厚度比第二氮化層厚。

伍、(一)、本案代表圖為：第1E圖

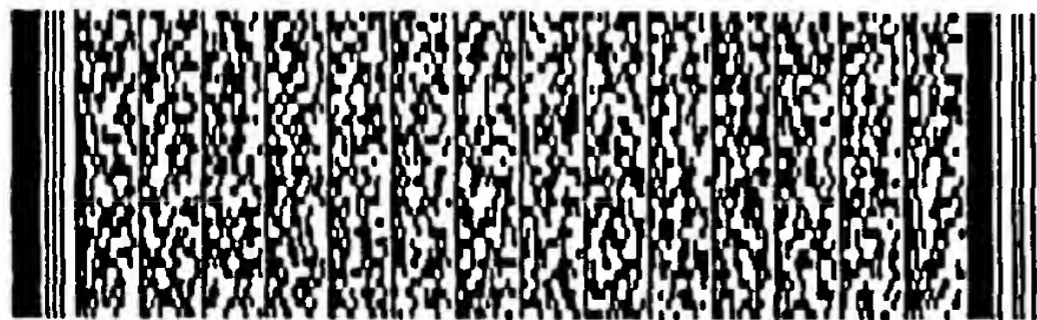
(二)、本案代表圖之元件代表符號簡單說明：

100～半導體基底；

150～第一氮化層；

140～第二氮化層。

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優



二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

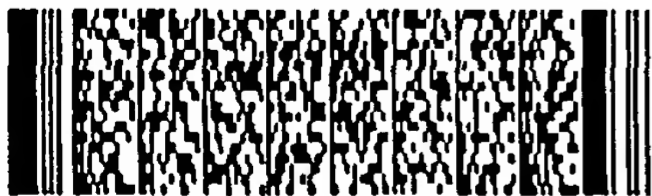
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明有關於一種半導體製程，特別有關一種形成不同厚度氮化層的方法。

先前技術

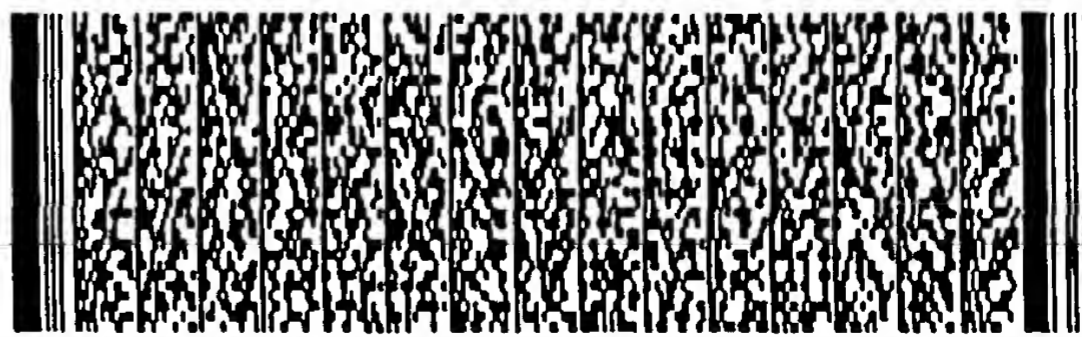
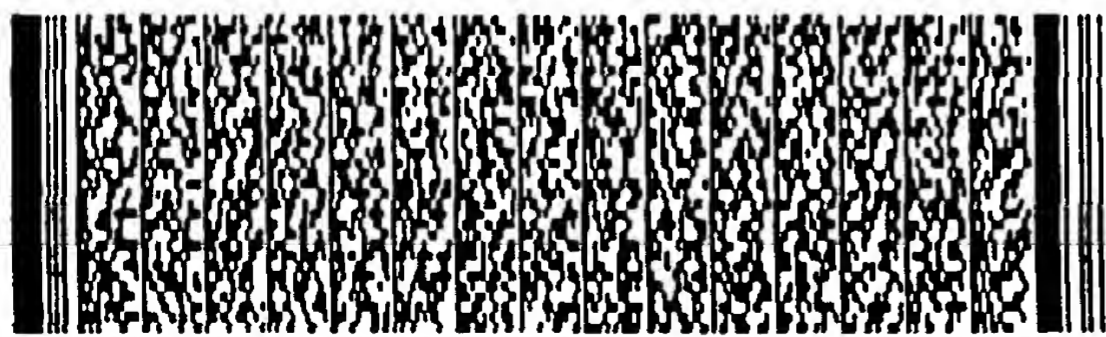
半導體產業的技術開發除了集中在裝置的精密化以縮小尺寸外，另一個重要的發展是針對在單一半導體晶粒上製造包含數種功能之裝置，也就是單晶片系統 (System On Chip; SOC)，包括記憶體 (DRAM) 以及邏輯 (logic) 等。為了滿足此項需求，必須在單一晶片上形成不同厚度的閘極介電層 (gate dielectric)，以提供應用於不同電壓之半導體元件。

目前閘極介電層多半使用氧化層，其形成方法是在半導體基板上針對需要較薄氧化層的區域以氮氣進行離子植入 (ion implantation)，以減緩在後續進行氧化時成長的速度。接著整體進行氧化而形成不同厚度氧化層於一晶片上。

然而，上述方法有兩項缺點：離子植入部分的結構易受損，因而形成的氧化層在品質上不甚理想；再者，植入的氮原子在後續高溫的氧化處理中容易向外擴散，使得氧化層的厚度以及一致性 (uniformity) 難以控制。

另一方面，氮化層由於具有較高介電係數 (dielectric constant)，且對硼穿透問題有更強的抵抗性，因此氮化層已逐漸作為閘極介電層之另一選擇。

發明內容



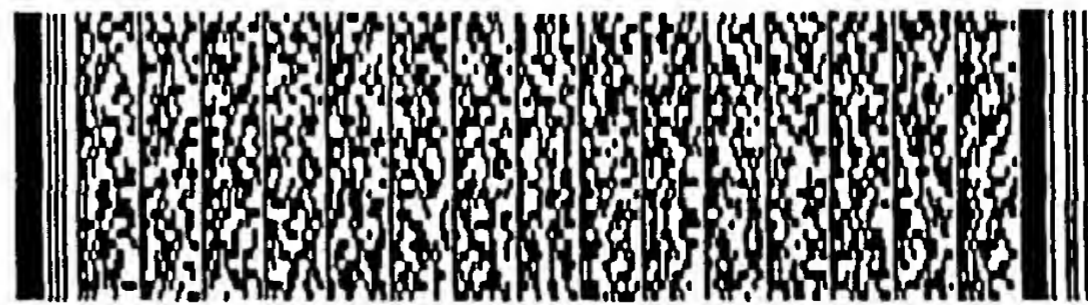
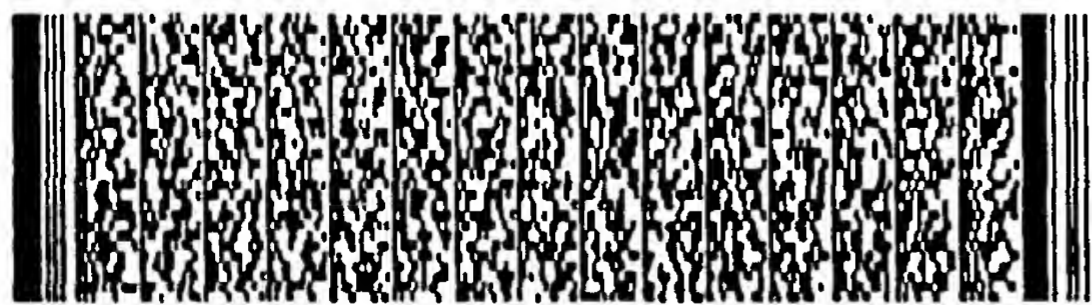
五、發明說明 (2)

有鑑於此，本發明之目的即提供一種能克服習知缺點的形成不同厚度氮化層的方法，以因應目前半導體產業上的需要。

本發明主要係藉由預先氮化處理 (pre-nitridation) 將半導體基板表面特性改變，形成一薄薄的氮化薄膜後，再將其圖案化而僅保留需要較厚氮化層區域的氮化薄膜，後續進行氮化沈積時，則可同時形成不同厚度的氮化層；上述預先氮化處理之溫度亦可利用來控制後續氮化矽之成長速度。

為達成上述目的，本發明提供一種形成不同厚度氮化層的方法，其步驟包括：提供一半導體基底；對該半導體基底進行預先氮化處理而形成一氮化薄膜於該半導體基底上；形成一遮蔽層覆蓋部分之該氮化薄膜；移除未被該遮蔽層覆蓋之氮化薄膜以露出部分之該半導體基底；移除該遮蔽層；全面進行氮化沈積而形成第一氮化層於該氮化薄膜上以及一第二氮化層於該半導體基底上，其中該第一氮化層的厚度比第二氮化層厚。

根據本發明之形成不同厚度氮化層的方法，主要係藉由對半導體基底進行預先氮化處理使其氮化層成長速度不同，而製得不同厚度的氮化層，另外，本發明除了觀察「預先氮化處理」與「未氮化處理」對於後續氮化矽之成長速度的影響外，亦針對不同的預先氮化處理溫度對氮化矽之成長速度進行測試。本發明之優點在於可避免習知技術使用之離子植入的缺點，且本發明之製程無須額外的光



五、發明說明 (3)

罩步驟，整體來說對製程不會增加其複雜性，而能夠完全整合至目前產業上使用的製程中。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

實施方式

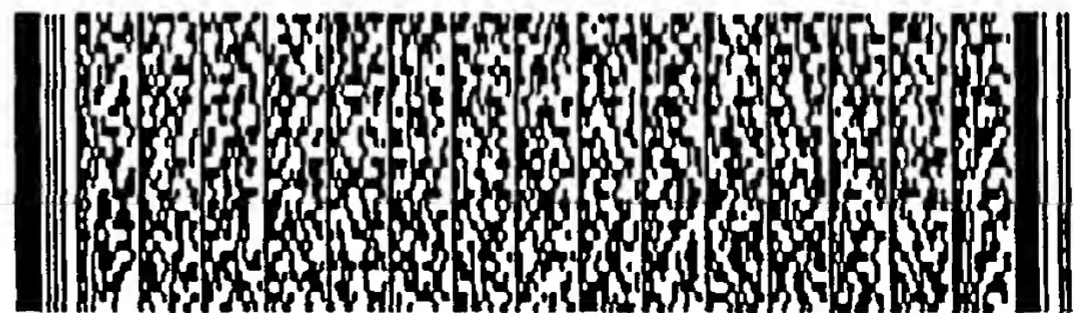
實施例1

請參照第1A~1E圖，其繪示根據本發明之實施例1形成不同厚度氮化層之方法的製程剖面圖。

如第1A圖所示，提供一半導體基底100，並進行氮化處理115以形成薄薄的一層氮化薄膜110於該半導體基底100上。上述氮化處理的溫度範圍可視需要而定，較佳為700~900℃之間，本實施例1係以900℃進行；可使用例如NH₃或N₂電漿進行。上述氮化薄膜的厚度較佳是在10埃以下，因為上述氮化薄膜僅用於改變後續氮化層形成速度的快慢，而非為形成氮化層的主要步驟，後續進行氮化才是貢獻大部分氮化層的主要形成步驟。

接著，如第1B圖所示形成並圖案化一遮蔽層120於該氮化薄膜110上，以遮蔽層覆蓋的地方即為需要較厚氮化層的區域。上述遮蔽層較佳為光阻。然後，以上述遮蔽層為罩幕移除未被該遮蔽層120覆蓋的氮化薄膜110，露出部分之半導體基底而形成如第1C圖所示之剩餘氮化薄膜110A。

接著，如第1D圖所示，進行氮化沈積步驟，130表示



五、發明說明 (4)

反應氣體，例如 NH_3 等。此時，露出之半導體基底部分由於未具有氮化薄膜，因此在此氮化沈積步驟中形成氮化層的速度較慢而形成較薄的第二氮化層140，而保留剩餘氮化薄膜110A的部分則具有較快的沈積速度，因此會形成較厚的第一氮化層150，而製得如第1E圖所示之具有不同厚度的第一氮化層150、第二氮化層140，其中第一氮化層150之厚度大於氮化薄膜110A加上第二氮化層140之厚度。上述氮化沈積步驟130較佳是以低壓化學氣相沈積 (LPCVD) 或噴射氣相沈積 (JVD) 進行，其中該低壓氣相沈積步驟較佳係使用二氯矽烷 (SiH_2Cl_2) 以及阿摩尼亞 (NH_3) 為反應氣體。

本實施例1之氮化層啟始厚度、沈積後氮化層厚度、沈積速度以及沈積比例的值列於表1。

實施例2

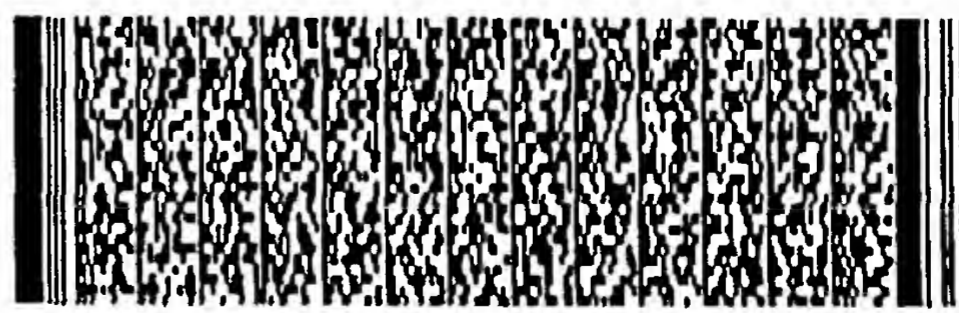
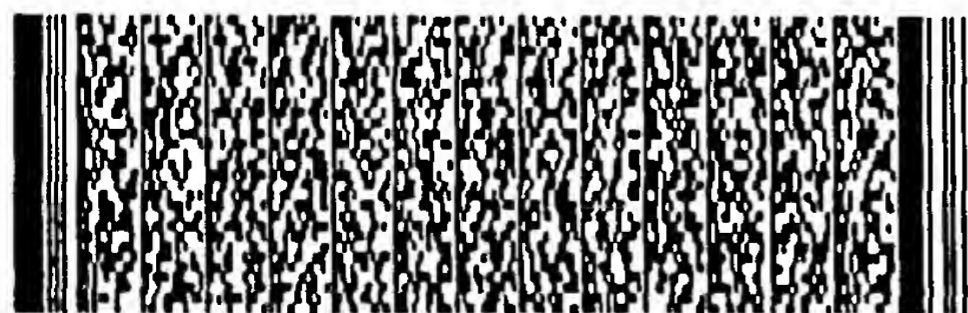
除了氮化層啟始厚度為 7.6 \AA 之外，其餘步驟皆與實施例1相同。氮化層啟始厚度、沈積後氮化層厚度、沈積速度以及沈積比例的值列於表1。

實施例3

除了預先氮化處理的溫度為 700°C 之外，其餘步驟皆與實施例1相同。氮化層啟始厚度、沈積後氮化層厚度、沈積速度以及沈積比例的值列於表1。

比較例

除了氮化層啟始厚度為 0.5 \AA 以及不進行預先氮化處理之外，其餘步驟與實施例1相同。氮化層啟始厚度、沈



五、發明說明 (5)

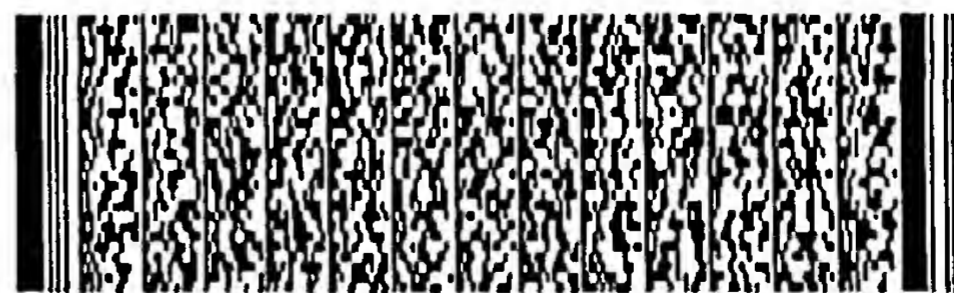
積後氮化層厚度、沈積速度以及沈積比例的值列於表1。

表1

| | 實施例1 (900℃氮 化處理) | 實施例2 (900℃氮 化處理) | 實施例3 (700℃氮 化處理) | 比較例 |
|------------------|------------------------|------------------------|------------------------|-----------|
| 氮化層 啓始厚 度 | 11.3Å | 7.6Å | 7.8Å | 0.5Å |
| 沈積後 氮化層 厚度 | 36.1Å | 32.6Å | 28.9Å | 18.1Å |
| 沈積速 度 | 3.81Å/min | 3.85Å/min | 3.24Å/min | 2.70Å/min |
| 沈積比 例 | 1.41 | 1.42 | 1.21 | 1 |

由表1可明顯看出，比較例之未經過氮化處理的半導體基底表面，其沈積速度比經過氮化處理的表面慢，而實施例2（經過900℃氮化處理）則具有比實施例3（700℃氮化處理）更快的氮化層沈積速度。再者，由實施例2與實施例3的比較亦可發現不同氮化處理溫度會在後續氮化矽成長為不同厚度（分別為32.6 Å以及28.9 Å）。因此本發明之預先氮化處理的溫度可用來控制後續氮化矽之成長速度。表1中沈積比例係以未經過氮化處理（2.70 Å/min）為基準而分別以3.81、3.85、3.24除以2.70而得。

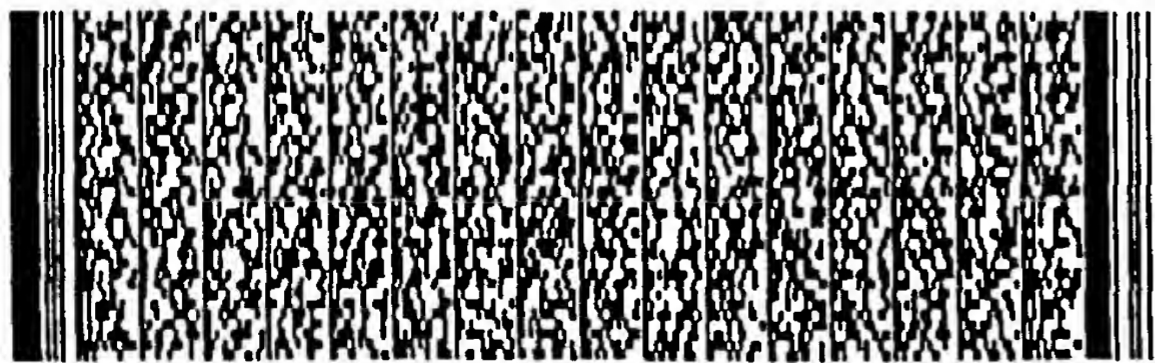
根據本發明之形成不同厚度氮化層的方法，主要係藉由對半導體基底進行預先氮化處理形成一薄薄的氮化薄膜後，僅保留部分氮化薄膜於需要較厚氮化層區域上，使一半導體基底上具有氮化層成長速度不同的區域，而後續以



五、發明說明 (6)

氮化矽積步驟製得不同厚度的氮化層，此外，本發明之氮化矽成長速度亦可藉由控制預先氮化處理為不同的溫度而達成。上述方法優點在於可避免習知技術使用之離子植入對半導體元件造成結構損害或者因向外擴散導致介電層之濃度以及厚度難以控制的缺點，此外，本發明之製程無須額外的光罩步驟，整體來說，能夠完全整合至目前產業上使用的製程中而不會增加製程的複雜性。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

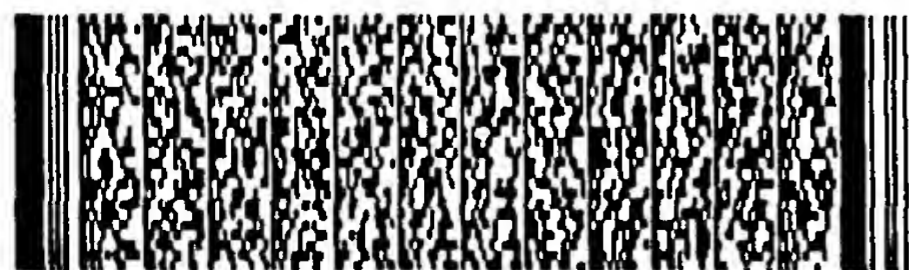


圖式簡單說明

第1A～1E圖為本發明繪示根據本發明之實施例形成不同厚度氮化層之方法的製程剖面圖。

符號說明

- 100～半導體基底；
- 110～氮化薄膜；
- 115～氮化處理；
- 130～反應氣體；
- 110A～剩餘之氮化薄膜；
- 120～遮蔽層；
- 140～第二氮化層；
- 150～第一氮化層。



六、申請專利範圍

1. 一種形成不同厚度氮化層的方法，包括：

提供一半導體基底；

對該半導體基底進行預先氮化處理而形成一氮化薄膜於該半導體基底上；

形成一遮蔽層覆蓋部分之該氮化薄膜；

移除未被該遮蔽層覆蓋之氮化薄膜以露出部分之該半導體基底；

移除該遮蔽層；

全面進行氮化沈積而形成第一氮化層於該氮化薄膜上以及一第二氮化層於該半導體基底上，其中該第一氮化層的厚度比第二氮化層厚。

2. 如申請專利範圍第1項所述之形成不同厚度氮化層的方法，其中該半導體基底為矽基底。

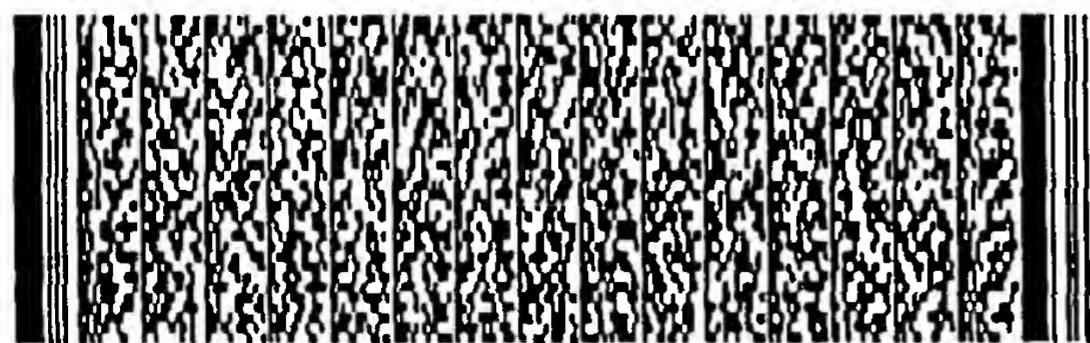
3. 如申請專利範圍第1項所述之形成不同厚度氮化層的方法，其中該氮化薄膜之厚度小於10埃。

4. 如申請專利範圍第1項所述之形成不同厚度氮化層的方法，其中預先氮化處理係以 NH_3 進行。

5. 如申請專利範圍第1項所述之形成不同厚度氮化層的方法，其中預先氮化處理係以 N_2 電漿進行。

6. 如申請專利範圍第1項所述之形成不同厚度氮化層的方法，其中該預先氮化處理溫度範圍為 $700 \sim 900^\circ\text{C}$ 之間。

7. 如申請專利範圍第6項所述之形成不同厚度氮化層的方法，其中該預先氮化處理的溫度係用來控制第一氮化



六、申請專利範圍

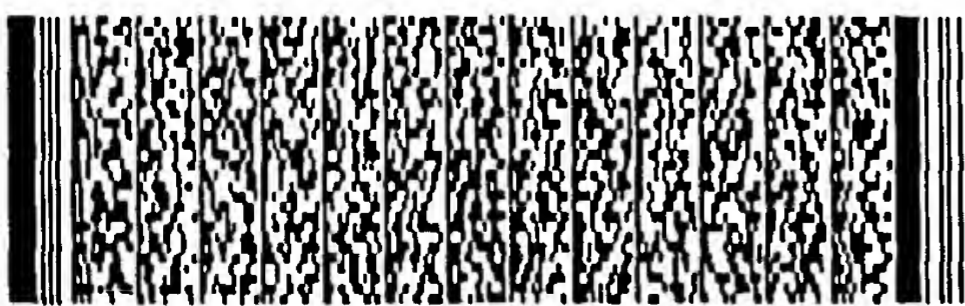
層成長的速度。

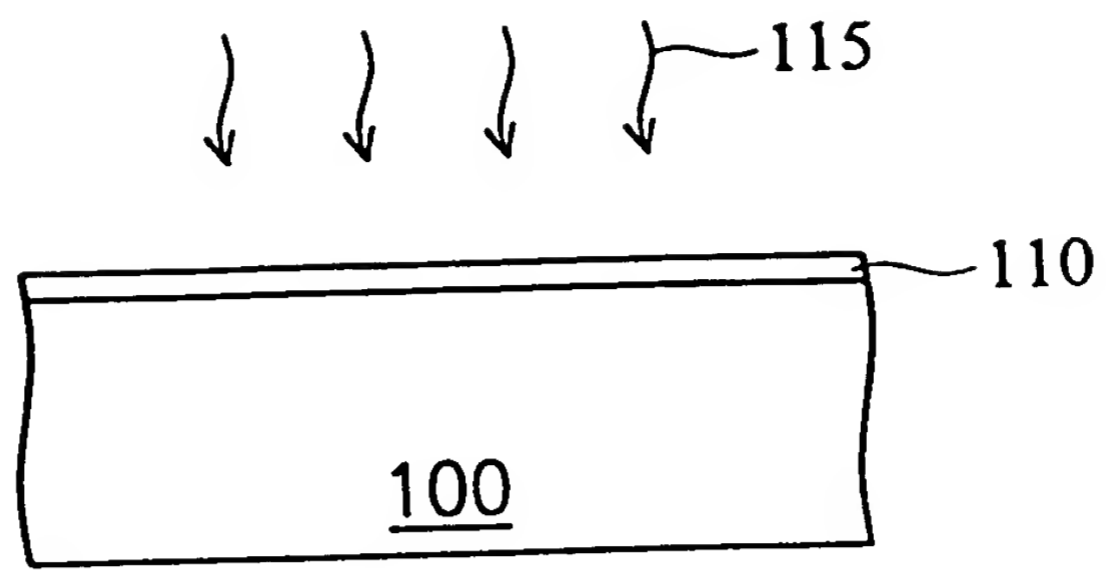
8. 如申請專利範圍第1項所述之形成不同厚度氮化層的方法，其中該第一氮化層之成長速度比第二氮化層快。

9. 如申請專利範圍第1項所述之形成不同厚度氮化層的方法，其中該遮蔽層為光阻。

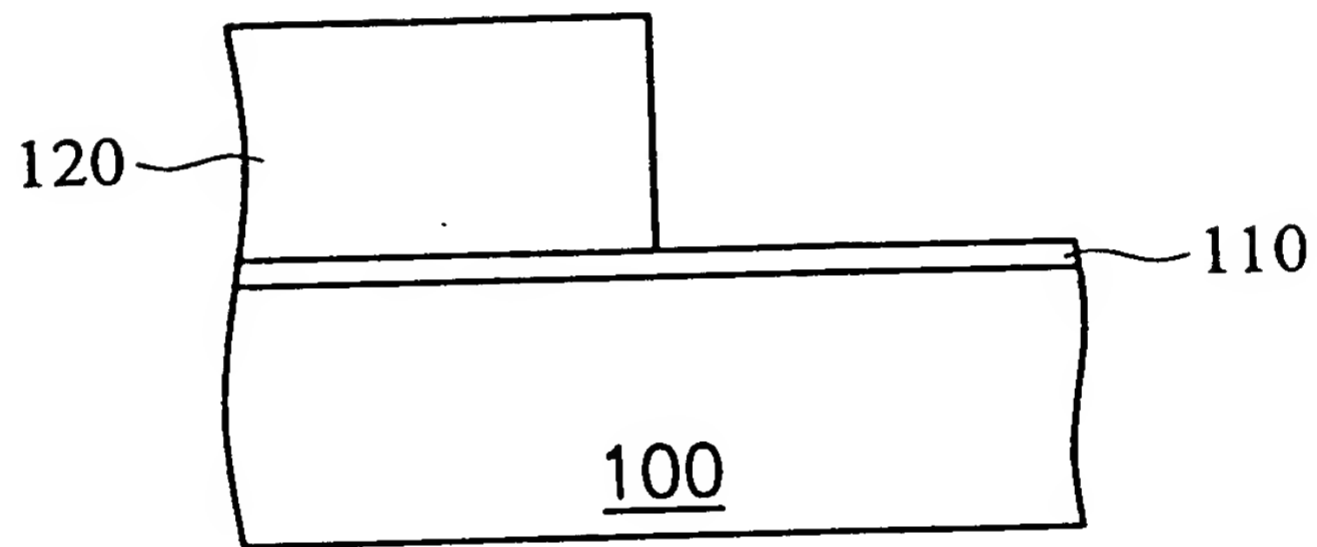
10. 如申請專利範圍第1項所述之形成不同厚度氮化層的方法，其中該氮化沈積步驟是以低壓化學氣相沈積 (LPCVD) 或噴射氣相沈積 (JVD) 進行。

11. 如申請專利範圍第10項所述之形成不同厚度氮化層的方法，其中該低壓氣相沈積步驟使用二氯矽烷 (SiH_2Cl_2) 以及阿摩尼亞 (NH_3) 為反應氣體。

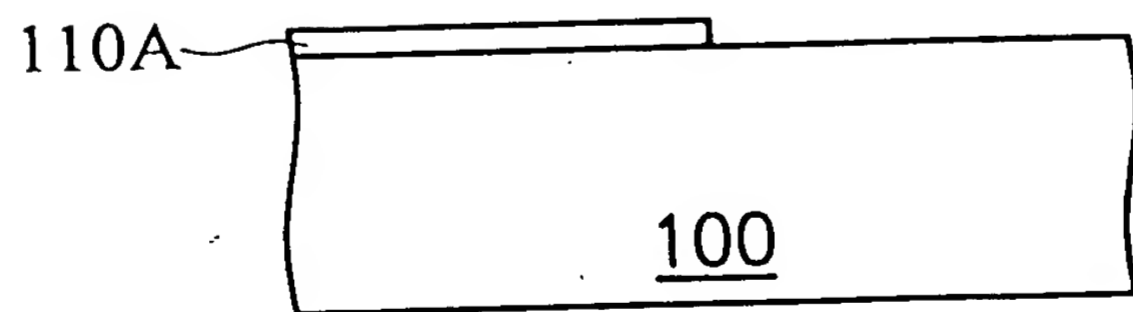




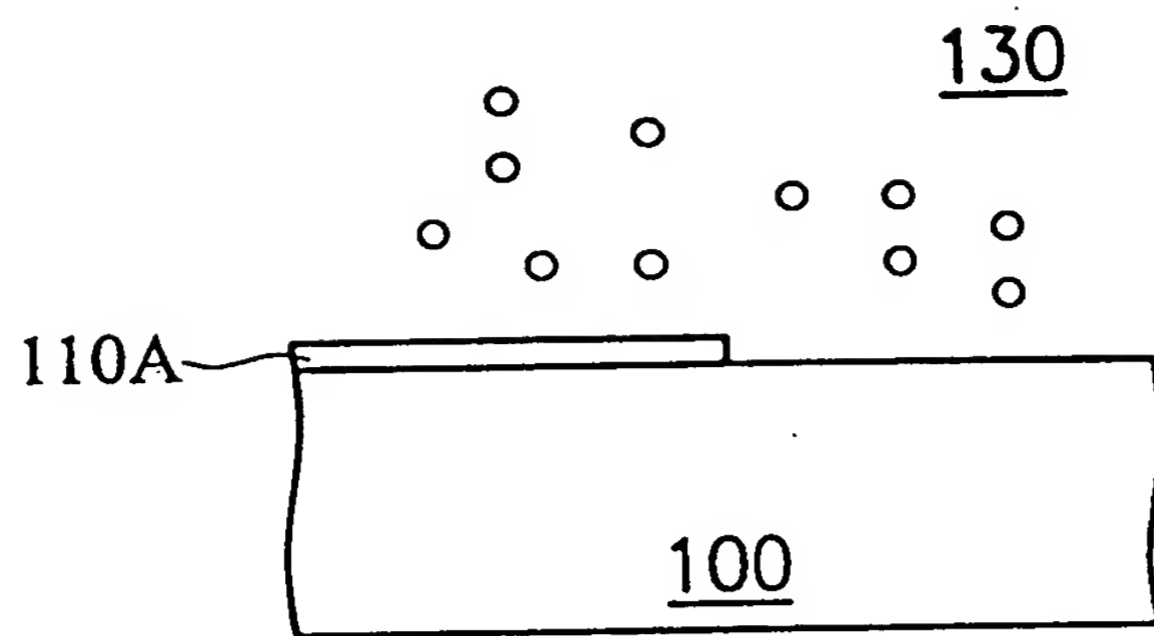
第 1A 圖



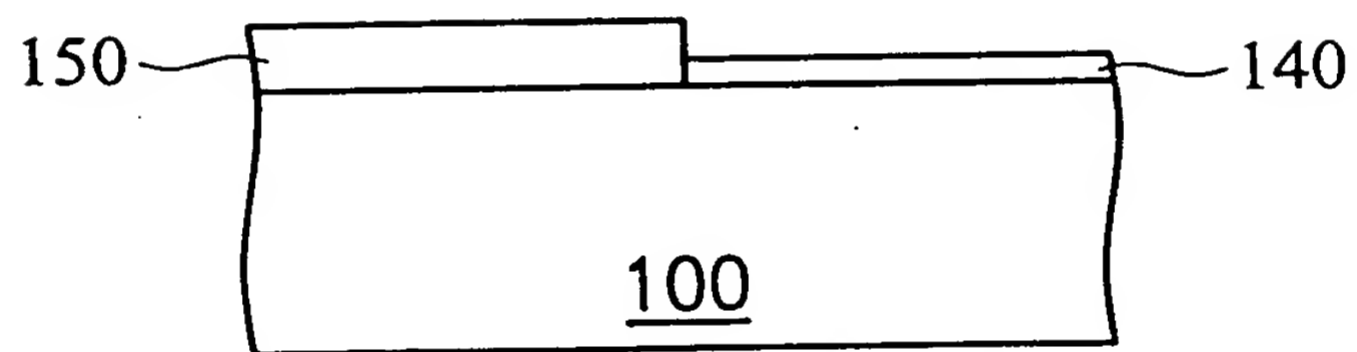
第 1B 圖



第 1C 圖

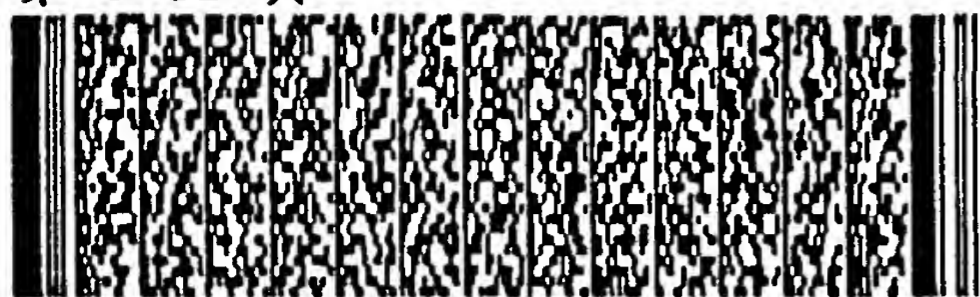


第 1D 圖



第 1E 圖

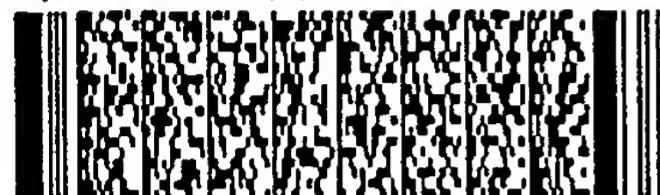
第 1/12 頁



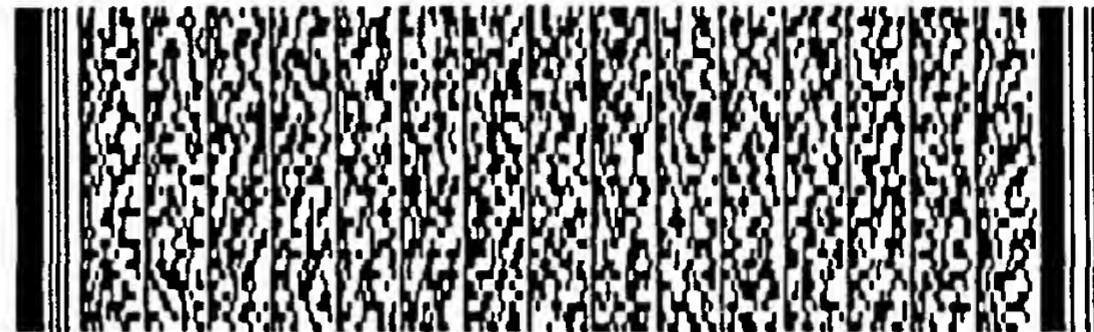
第 2/12 頁



第 3/12 頁



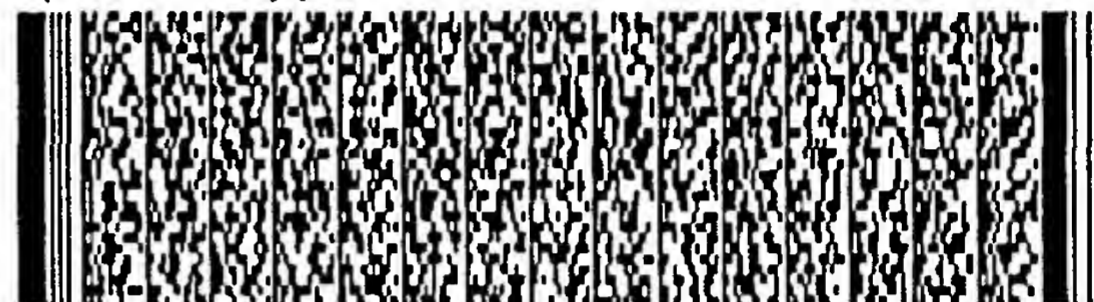
第 4/12 頁



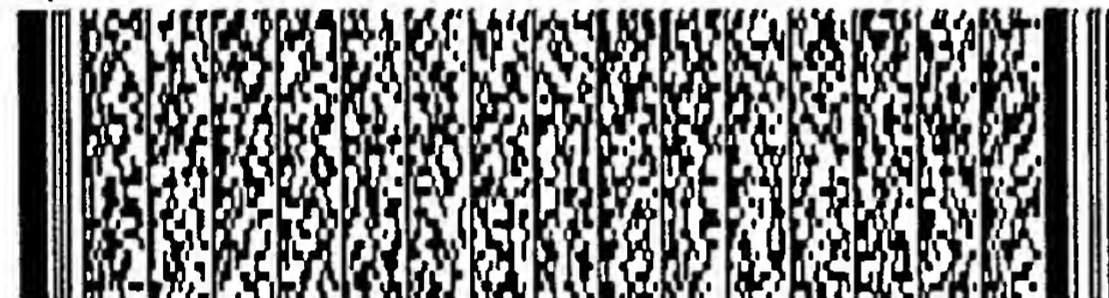
第 4/12 頁



第 5/12 頁



第 5/12 頁



第 6/12 頁



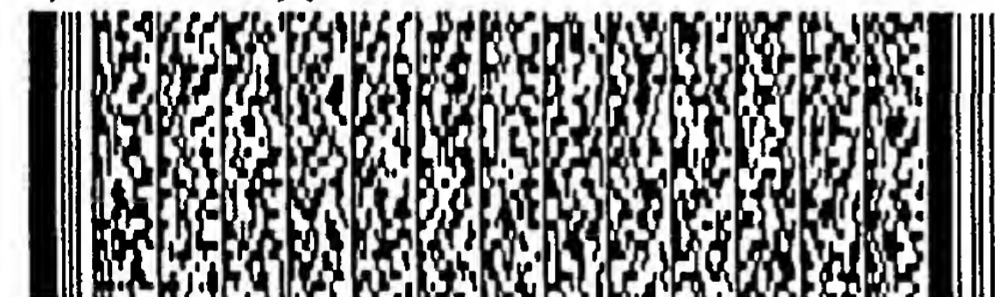
第 6/12 頁



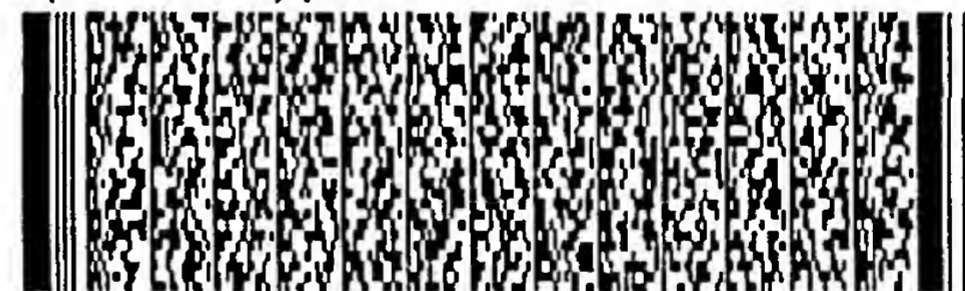
第 7/12 頁



第 7/12 頁



第 8/12 頁



第 8/12 頁



第 9/12 頁



第 10/12 頁



第 11/12 頁



